

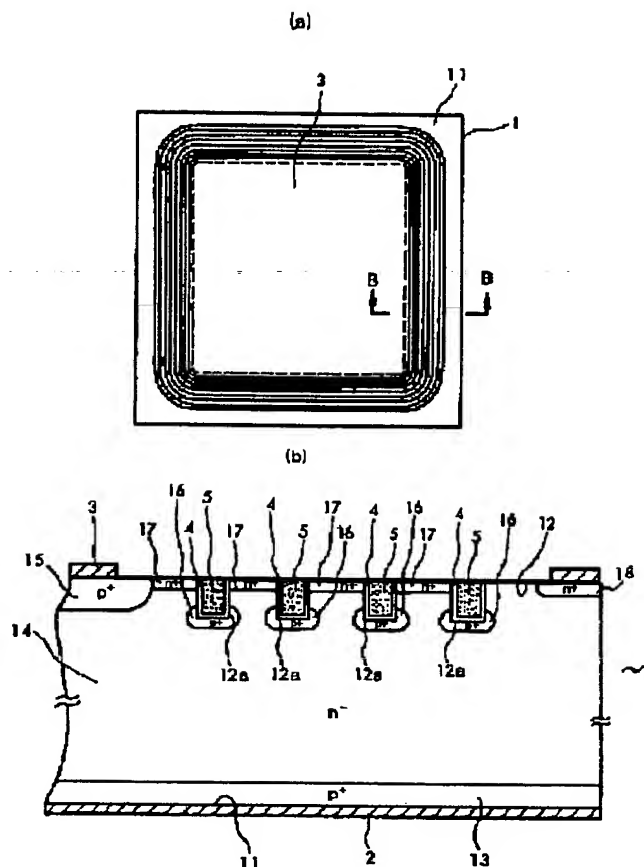
PUBLICATION NUMBER : 07142713  
 PUBLICATION DATE : 02-06-95  
 APPLICATION DATE : 30-06-93  
 APPLICATION NUMBER : 05160874

APPLICANT : HITACHI LTD;

INVENTOR : YAO TSUTOMU;

INT.CL. : H01L 29/78

TITLE : SEMICONDUCTOR DEVICE AND ITS PRODUCTION



ABSTRACT : PURPOSE: To reduce the expansion of space between equivalent electric field limiting rings and prevent the drop in breakdown strength by making a construction in a manner that there will exist a position to minimize the space to the utmost between adjoining electric field limiting rings, out of the main surface part of the semiconductor substrate.

CONSTITUTION: A circular p<sup>+</sup> type layer 16 formed on the bottom of a circular groove 12a functions as an electric field to enhance the expansion of a depletion layer which is to be formed when a p-n joint between an n<sup>-</sup> type layer 14 and a p<sup>+</sup> type layer 15 is reverse-biased. Since the layer 16 is formed on the bottom of the groove 12a, the part in which the rings 16 are most close to each other is located away from the main surface 12 of the other. Therefore, even if any positive charge would be generated due to moving ions in the outer part of a semiconductor substrate 1 through a high-temperature bias test, the carrier density of the layer 14 in the part where the rings 16 are most close to each other is given no influence and the breakdown strength hardly drops.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-142713

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78

識別記号

庁内整理番号

9055-4M

F I

H 0 1 L 29/78

技術表示箇所

3 2 1 J

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21) 出願番号

特願平5-160874

(22) 出願日

平成5年(1993)6月30日

(71) 出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者

溝口 哲朗

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者

小林 秀男

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者

河上 澄大

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人

弁理士 小川 勝男

最終頁に続く

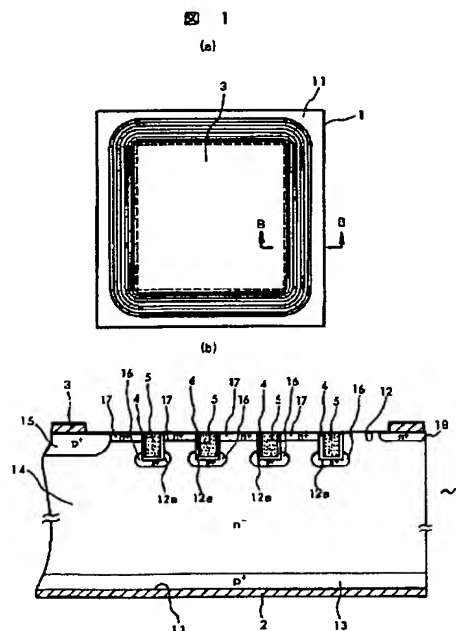
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 電界制限リングを有する半導体装置の長期使用による阻止電圧の低下を小さくする構造を提供する。

【構成】 電界制限リングとして機能するp型層16を半導体基体の表面から隔離した構造とする。

【効果】 電界制限リングを半導体基体の表面から隔離することにより、半導体基体の外部に発生した電荷により、基体表面のキャリア分布が変化しても、電界制限リングの作用は殆ど影響を受けなくなる。その結果、耐圧低下が非常に小さくなる。



## 【特許請求の範囲】

【請求項1】半導体基体の主表面に一方導電型の第1の半導体領域と、主表面から第1の半導体領域内に延びる他方導電型の第2の半導体領域と、主表面及び第2の半導体領域から離れた位置において第2の半導体領域から順次遠ざかるように配置された第2の半導体領域を包囲する複数の他方導電型の第3の半導体領域と、主表面において第2の半導体領域に設けられた電極とを具備することを特徴とする半導体装置。

【請求項2】請求項1において、半導体基体の主表面から第3の半導体領域に達する凹部が設けられ、この凹部は絶縁物によって充填されていることを特徴とする半導体装置。

【請求項3】請求項1または2において、半導体基体の主表面の第2の半導体領域と第3の半導体領域との間及び第3の半導体領域相互間に対応する個所に第1の半導体領域より高不純物濃度を有する一方導電型または他方導電型の複数の第4の半導体領域を設けたことを特徴とする半導体装置。

【請求項4】請求項1において、半導体基体の主表面の第2の半導体領域と第3の半導体領域との間及び第3の半導体領域相互間に対応する個所に第1の半導体領域より高不純物濃度を有する一方導電型の複数の第4の半導体領域を設け、半導体基体の主表面の第3の半導体領域相互間に対応する個所に第1の半導体領域より高不純物濃度を有する他方導電型の複数の第4の半導体領域を設けたことを特徴とする半導体装置。

【請求項5】半導体基体の主表面に一方導電型の第1の半導体領域と、主表面から第1の半導体領域内に延びる他方導電型の第2の半導体領域と、第2の半導体領域から順次遠ざかるように離れた位置において主表面から第1の半導体領域内に延びる第2の半導体領域を包囲する複数の他方導電型の第3の半導体領域と、主表面において第2の半導体領域に設けられた電極とを具備し、第3の半導体領域相互間の最小間隔個所が主表面から離れていることを特徴とする半導体装置。

【請求項6】請求項5において、半導体基体の主表面の第2の半導体領域と第3の半導体領域との間及び第3の半導体領域相互間に対応する個所に第1の半導体領域より高不純物濃度を有する一方導電型または他方導電型の複数の第4の半導体領域を設けたことを特徴とする半導体装置。

【請求項7】請求項5または6において、半導体基体の主表面から第3の半導体領域に達する凹部が設けられ、この凹部は絶縁物によって充填されていることを特徴とする半導体装置。

【請求項8】半導体基体の主表面に一方導電型の第1の半導体領域と、主表面から第1の半導体領域内に延びる他方導電型の第2の半導体領域と、主表面及び第2の半導体領域から離れた位置において第2の半導体領域から

順次遠ざかるように、かつ遠ざかるように従って深さが浅くなるように配置された第2の半導体領域を包囲する複数の他方導電型の第3の半導体領域と、主表面において第2の半導体領域に設けられた電極とを具備することを特徴とする半導体装置。

【請求項9】請求項8において、半導体基体の主表面から第3の半導体領域に達する凹部が設けられ、この凹部は絶縁物によって充填されていることを特徴とする半導体装置。

【請求項10】請求項9において、第2の半導体領域から遠ざかるように従って凹部の幅が小さくなるようにされていることを特徴とする半導体装置。

【請求項11】請求項8、9または10において、半導体基体の主表面の第2の半導体領域と第3の半導体領域との間及び第3の半導体領域相互間に対応する個所に第1の半導体領域より高不純物濃度を有する一方導電型または他方導電型の複数の第4の半導体領域を設けたことを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高耐圧半導体装置に係り、特に阻止特性の経時変化に対して非常に強い耐性を有する半導体装置に関する。

【0002】

【従来の技術】IGBT (Insulated Gate Bipolar Transistor)、GTO (Gate Turn Off Thyristor)、SI (Static Induction) サイリスタ、サイリスタ等の高耐圧大電力半導体素子において、阻止特性の経時変化に対する耐性の改善への要求が強い。特にIGBTは、元来このような要求には不向きとされている浅い接合構造を持つ素子であるが、電源電圧が数kV級の用途への適用も期待されており、阻止特性の高信頼性は重要な課題である。

【0003】一般に、IGBTは高耐圧を得るため複数の電界制限リングと呼ばれる環状の領域が、チップ周辺部に主接合を取り囲むように形成される。電界制限リングは、阻止時にチップ周辺部の電界分布を均等化することで、低い電圧での局所的な高電界の発生による降伏をなくする働きをする。この技術により主接合が浅くともkVオーダの初期耐圧を得ることができる。しかしながら、実用化に際しては初期耐圧の達成に加えて、耐圧の経時変化を許容範囲に抑える必要がある。この経時変化は、長時間の高温強電界の付与条件下で、チップの封入材のチップ近傍にまで可動イオンが侵入したり、封入材が分極して素子外部に電荷が発生し、その電荷の作用の結果素子内部の電界分布が変化することにより生じる。このような、不本意な電荷による悪影響を考慮した従来技術が、Proceedings of International Symposium on Power Semiconductor Devices & ICsのpp86-pp90に示されている。電界制限リングで挟まれた領

域の表面部に高濃度層を設け、この高濃度層により半導体装置外部の電荷の変化が半導体基体内におよぼす影響を小さくするものである。

【0004】

【発明が解決しようとする課題】使用条件が厳しくなると、外部発生電荷は多くなる。この影響で、半導体基体の表面部に形成される蓄積層の電子濃度が初期状態の電子濃度を大きく超える。これにより等価的に電界制限リング間の間隔は大きくなり、装置の耐圧は低下する。また、蓄積層の電子濃度が大きくなるに伴い、電界制限リングと隣接層間の接合部における電界集中による耐圧低下が問題となる。更に、電界制限リングの隣接層の不純物量を多くすれば、蓄積層による電子濃度の増加割合は小さくできるが、電界制限リングと隣接層間の接合部における電界集中による耐圧低下の影響が厳しくなり、初期耐圧を得ることが困難になる。

【0005】本発明の目的は、従来技術のレベルを超えた更なる高信頼化を達成するための電界制限リングを有する半導体装置を与えることである。

【0006】

【課題を解決するための手段】上記目的を達成するための手段は以下の通りである。

【0007】第一の手段は、隣接する電界制限リングの間の間隔が最も小さくなる位置が、半導体基体の主表面部以外に存在するような構造とすることである。

【0008】第二の手段は、電界制限リングが半導体基体の主表面に露出しない構造とすることである。

【0009】第一、第二の手段の具体的な一例としては、半導体基体の主表面部に溝を設け、その溝の底部に電界制限リングを設け、電界制限リングが溝の開口部を有する面、即ち主表面には露出しない構造とすることである。

【0010】第三の手段は、第一、第二の手段に加え、半導体基体の主表面の周辺領域に、複数個の高濃度領域を付加することである。この高濃度領域と電界制限リングは、低濃度のn層で隔離しておくのが好ましい。また、高濃度領域の単位面積当たりの不純物量を $10^{13}/\text{cm}^2$ 以上とするのが好ましく、n型、p型のどちらでも良い。

【0011】第三の手段の具体的な一例としては、第一、第二の手段の具体的な一例の構造に加え、周辺領域の溝の開口部を有する面、即ち主表面に複数個の高濃度領域を付加することである。これらの高濃度領域と電界制限リングは、低濃度のn層で隔離しておくのが好ましい。また、高濃度領域の単位面積当たりの不純物量を $10^{13}/\text{cm}^2$ 以上とするのが好ましく、n型、p型のどちらでも良い。

【0012】次に上記手段を実現する製法の一つは、半導体基体に溝を形成する工程、その溝の底部に不純物を導入し電界制限リングを形成する工程及び溝を充填する

工程を含むものである。

【0013】他の製法としては、半導体基体内部に不純物を導入する工程、この不純物導入層上に半導体層をエピタキシャル成長させ、この不純物導入層による電界制限リングを形成する工程を含むものである。

【0014】更に他の製法としては、半導体基体内部に高加速イオン注入法により不純物を導入する工程、この不純物導入層による電界制限リングを形成する工程を含むものである。

【0015】

【作用】上記の構成にすれば、隣接する電界制限リングの間の間隔が、半導体基体の主表面部から離れた個所で最も小さくなるような構造となっているため、半導体装置の長期使用により半導体基体外に発生した電荷の作用で表面部に蓄積層が形成されても、隣接する電界制限リング間の間隔が最も小さい部分における電子濃度の変化を防止することができる。このため、等価的な電界制限リング間の間隔の増加はなくなり、耐圧の低下を防止できる。

【0016】また、電界制限リングが半導体基体の主表面に露出しない構造とすることに加えて、主表面部に形成される蓄積層と電界制限リングを隔離することにより、隔離部で電圧を分担することになり、両者の接触部付近で起きる電界集中による耐圧低下を排除することが可能になる。

【0017】更に、半導体基体の主表面の周辺領域に複数個の高濃度領域を付加する構造にすれば、主表面部に蓄積層が形成されても主表面部のキャリア濃度の変化の割合は小さくなり、等価的な電界制限リング間の間隔の増加は更に小さくなって、耐圧の低下を防止できる。

【0018】

【実施例】以下、本発明半導体装置を実施例として示した図面を用いて詳細に説明する。図1は、本発明半導体装置の一実施例を示す平面パターン図(a)及び周辺領域の断面図(b)である。図において、1は一对の主表面11、12を有する半導体基体で、一方の主表面11に隣接するp型層13、p型層13及び他方の主表面12に隣接しそれより低不純物濃度を有するn型層14、他方の主表面12の中央部において他方の主表面12からn型層14内に延びるn型層14より高不純物濃度を有するp型層15、他方の主表面12の周辺部に形成されたp型層15を所定間隔を有して包囲する複数個の環状溝12a、各環状溝12aの底部及びその近傍に隣接してn型層14内に延びる環状のp型層16、p型層15と最内周側に環状溝12aとの間及び環状溝12a相互間に位置し他方の主表面12に隣接するn型層14より高不純物濃度を有するn型層17、他方の主表面12の最周辺部において他方の主表面12に隣接するn型層14より高不純物濃度を有する環状のn型層18を具備している。2はp型層13にオーミックコンタクトした

第1の主電極、3はp型層15にオーミックコンタクトした第2の主電極、4は環状溝12aの表面に形成された酸化シリコン層、5は環状溝12aに充填されたポリイミド樹脂である。

【0019】この実施例において、環状溝12aの底部に形成された環状のp型層16は、n型層14とp型層15との間のpn接合が逆バイアスされた時に形成される空乏層の広がりをもたらし電界制限リングとして機能する。このp型層16は環状溝12aの底部に形成されているため、電界制限リング相互間の最も接近している部分が他方の主表面12から離れた個所に位置している。このため、高温逆バイアス試験によって半導体基体外部に可動イオンによる正電荷が発生しても、それによって電界制限リング相互間の最も接近している部分のn型層14のキャリア濃度には何ら影響を与えず、耐圧の低下は殆ど生じない。また、他方の主表面12に隣接して不純物量が多いn型層17が存在しているため、発生正電荷の影響でn型層17に電子が誘起されても、n型層17の電子濃度の変化の割合が非常に小さく抑えられ、耐圧の低下は殆ど生じない。n型層17の単位面積当たりの不純物量は、 $10^{13}/\text{cm}^2$ 以上である。更に、環状溝12a内は酸化シリコン層4及びポリイミド樹脂5で充填されているため、電界制限リングが印加電圧を分担しても環状溝12aにおいて絶縁破壊を生じる心配はない。

【0020】図1の実施例の変形例として、n型層17の単位面積当たりの不純物量を図1の場合より少ない $10^{13}/\text{cm}^2$ 以下にしてもよい。この場合、n型層17のキャリア濃度は多少変化が大きくなる。しかしながら、電界制限リングの隣合う電界制限リング間が最も小さい距離を持つ個所が他方の主表面12から離れているため、この個所でのキャリア濃度は殆ど変化しない。そのため、他方の主表面12上に蓄積層が誘起されても、隣合う電界制限リング間が最も小さい距離を持つ部分での空乏層の広がり易さは殆ど影響を受けない。即ち、等価的電界制限リング間隔の変化は非常に小さい。従って、図1の場合と同様に耐圧の低下は生じない。また、蓄積層と電界効果リングとの接触部における電界集中による耐圧低下も生じない。

【0021】図2は、本発明半導体装置の他の実施例を示す概略断面図である。この実施例はn型層17が存在しない点で図1の実施例と相違している。図面からは確認できないが、n型層17が存在しないことから、p型層15と環状溝12aの間隔及び環状溝12a相互間の間隔等も図1の実施例の場合と異なっている。その他の点は、図1の実施例の場合と同じである。この実施例の場合、n型層17が無いので、発生正電荷の影響でn型層14の他方の主表面12に隣接する個所に蓄積層が誘起されキャリア濃度は大きく変化する。しかしながら、電界制限リングとして機能するp型層16が他方の主表

面12から離れて形成されているので、n型層14表面におけるキャリア濃度の変動は電界制限リングまでは及ばず、耐圧の低下は小さくできる。

【0022】図3は、図1の半導体装置の変形例を示す概略断面図である。この変形例はn型層17の代わりにp型層19を用いた点で図1の実施例と相違している。この構成によっても図1の実施例の場合と同様に耐圧の低下を防止できる。従来技術においては、n型層17をp型層にすることは、電圧が電界制限リング間に分担されなくなるため困難であった。本発明によれば、p型層19と電界制限リングとなるp型層16とが離れた構成にすることによって、電圧を電界制限リングで挟まれたn型層14、p型層19と電界制限リングの間及び溝12a内の酸化シリコン層4、ポリイミド樹脂5で分担できるので、p型層19の適用が可能になったのである。

【0023】図4は、本発明半導体装置の更に他の実施例を示す概略断面図である。この実施例は図2の実施例のp型層16が他方の主表面12まで延在したものとみることができる。この場合、溝12aの側壁が他方の主表面12に対して垂直であるため、p型層16も他方の主表面12に対して垂直方向に延びることになり、隣合う電界制限リング間が最も小さい距離を持つ部分が他方の主表面12から内部に向かって広い範囲で存在することになる。従って、n型層14表面におけるキャリア濃度の変動によって他方の主表面12近傍で等価的電界制限リング間隔の変化が生じても、他方の主表面12から離れた個所で隣合う電界制限リング間が最も小さい距離を持つ部分が依然として存在するため、耐圧の低下を防止できる。

【0024】以上の実施例では、溝12aの充填にポリイミド樹脂が使われていたが、低不純物濃度或いはノンドープの多結晶シリコンを使っても良い。

【0025】図5は、図1に示す実施例の半導体装置の製造方法を示す概略工程図である。まず、電界制限リングとなるp型層16以外の拡散工程が終了した半導体基体1を準備し、その他方の主表面12に環状溝12aとなる部分を除いて選択的に酸化シリコン膜61を形成し(a)、この酸化シリコン膜61をマスクとして異方性エッチングにより環状溝12aを形成する(b)。環状溝12a内面に酸化シリコン膜62を形成し(c)、異方性ドライエッチングを施して酸化シリコン膜62の厚さが薄く水平面である溝の底のみの酸化シリコン膜62が除去される(d)。この酸化シリコン膜62をマスクとして、p型不純物を拡散させると、環状溝12aの底部とその近傍にのみ位置し他方の主表面12に露出しないp型層16が形成される(e)。次に、再び環状溝12aの内面全面に酸化シリコン膜4を形成し(f)、更に環状溝12aをポリイミド樹脂5で充填し、エッチバックして平坦化する(g)。その後、電極、保護膜を形成し、素子が完成する。工程(f)において、環状溝1

2aの内面全面に酸化シリコン膜4を形成したが、この工程は、必須ではない。ポリイミド樹脂5の充填後、高温熱処理をせぬような手順としたが、ポリイミド樹脂5の代わりに多結晶シリコンを使えば、環状溝12aに充填後に高温の拡散熱処理を施すことになる。工程(b)における、エッチングのマスク材は酸化シリコン以外の物質、例えばアルミニウムでも良い。

【0026】この製造方法は、他の実施例にも適用できる。工程(a)で、n型層17のない半導体基体を使用すれば図2に示す半導体装置が得られ、n型層17の代わりにp型層を形成した半導体基体を使用すれば図3に示す半導体装置が得られる。また、工程(a)でn型層17のない半導体基体を使用し、工程(c)及び(d)を省略すると図4に示す半導体装置が得られる。この場合、環状溝12aの形成に完全な異方性エッチングは必要ない。ある程度、環状溝12aの側壁が主表面12に対する垂直性があれば、従来例の場合よりも信頼性を向上させる効果はある。その理由は、主表面から離れたところでの電界制限リング間の距離を、従来例の場合より小さくできるからである。しかし、環状溝12aの形成に異方性エッチングを使い、図4に示したように環状溝12aの側壁部を垂直にする場合が、主表面から離れたところでの電界制限リング間の距離を小さくすることにより効果があり、信頼性の改善効果は大きい。また、環状溝12aの開口部より底部が広いような形状であれば、更に効果は大きい。

【0027】これまで述べた実施例では、後で述べる実施例の場合と異なり、エピタキシャル成長を必要としない。そのため、工程制御面に起因するエピタキシャル成長層の品質限界の特性への影響が無く、歩留まり良く高い初期耐圧を得ることができる。即ち、半導体基体の不純物濃度が低い場合も、電界制限リングで挟まれた領域の不純物濃度を基体濃度と同じく低くできる。また、この部分の欠陥密度も非常に小さくできる。

【0028】図6は本発明半導体装置の異なる実施例を示す概略断面図である。図1の実施例とは、環状溝12aがないこと、環状溝12aがないことによりp型層16が埋込層となっていること及びn型層17相互間にn型層14が露出していることにおいて相違している。この構成においても図1の実施例と同じく本発明の特徴を持っている。即ち、①これらの電界制限リングでは、隣合う電界制限リング間の距離が最も小さい部分が他方の主表面12から離れて存在すること、②電界制限リングが他方の主表面12には露出していないこと、③n型層17が他方の主表面12に形成されていること、④n型層17と電界制限リングが隔離されていることが図1と同一であることによる。このn型層17の単位面積当たりの不純物量は $10^{13}/\text{cm}^2$ 以上ある。

【0029】図7は図6の実施例の変形例を示す概略断面図である。図6の実施例とは、n型層17の間にp型

層21を付加した点で相違している。

【0030】図8は図6の実施例の別の変形例を示す概略断面図である。図6の実施例とは、n型層17の代わりにp型層22を用いた点で相違している。

【0031】本発明の構造面での特徴、即ち、p+層18と電界制限リング8が離れていることにより、電圧を、電界制限リング8で挟まれた領域、p+層18と電界制限リング8で挟まれた領域及びp+層18で挟まれた領域で構成される領域で分担できるため、p+層18の適用が可能になった。

【0032】図9は図7の変形例の更なる変形例を示す概略断面図である。図7の実施例とは、他方の主表面12に絶縁層23を介して高抵抗導電層24を設けた点で相違している。この高抵抗導電層24に分路電流を流して装置の表面の電位分布を均一化することができる。高抵抗導電層24としては、多結晶Siが使われている。この場合には、本発明の特徴である構造による効果と、高抵抗導電層24による高信頼化という効果を達成している。この変形例では、表面に溝がない構造で平坦性が良いため、多結晶Siによる高抵抗導電層24を形成し易い。

【0033】図10は図6の実施例の半導体装置の製造方法の一部を示す概略工程図である。図6の半導体装置は、半導体基体1のn型141層表面に選択的にp型不純物161を導入し(a)、その上にn型層142をエピタキシャル成長させる(b)。その後、n型層142の表面付近にp型層15及びn型層17を形成して(c)形成される。

【0034】図11は本発明半導体装置の別の実施例を示す概略断面図である。図1の実施例とは、p型層15が環状溝12aと同じ深さの凹部12bの底部に形成されていることである。p型層15と第2の主電極との間及び環状溝12aの底部の酸化シリコン膜4を除去してp型層16とポリイミド樹脂5との間にシリサイド層25を介在した点において相違している。

【0035】図12は図11の実施例の変形例を示す概略断面図で、図11の装置とはp型層15の深さよりp型層16のそれを浅くした点において相違している。

【0036】図13は図11の実施例の他の変形例を示す概略断面図で、図12の装置とはp型層15とp型層16とを接近させた点において相違している。このようにすれば、p型層15の接合から延びる空乏層が電界制限リングとしてのp型層16に達し易いようになるため、p型層15の底部での電界集中が緩和され、図12の場合に比べて初期耐圧は高くできる。

【0037】図14は図11の実施例の更に他の変形例を示す概略断面図で、図12の装置とは、環状溝12aの深さと幅をp型層15から遠ざかるに従って浅くかつ狭くした点で相違している。この構成によれば、p型層15の底部での電界集中が緩和され、図12の場合に比

べ初期耐圧は高くできる。

【0038】図15は図11の実施例の別の変形例を示す概略断面図で、図11の実施例とは環状溝12aの深さをp型層15から離れるに従って順次浅くするとともに幅を狭くした点で相違している。この構造によると、他の実施例ではもっとも厳しかったp型層15の底部での電界集中は緩和され、初期耐圧は他の実施例より向上できる。

【0039】図16は図15の実施例における環状溝12aの製造方法を示す概略工程図で、異方性エッチングにおいては開口部の幅によって深さが自動的に決められるという性質を利用した製造方法である。工程(a)は環状溝12aを形成する前の半導体基体1の他方の主表面12上にマスクとしての酸化シリコン膜30を、p型層15が形成される個所は薄い酸化シリコン膜30a、環状溝12aが形成される個所は開口30b、他の個所は厚い酸化シリコン膜30cとなるように形成する工程である。この状態で、半導体基体1の他方の主表面12に異方性エッチングを施すと、酸化シリコン膜30の開口30bの部分ではその幅の相違により深さの異なる環状溝12aが形成され、薄い酸化シリコン膜30aの部分では開口30bの部分に比較して酸化シリコン膜30aのエッチングに要する時間だけ半導体基体1のエッチング時間が短くなり開口部の幅の割には浅い凹部が形成される(b)。ここで、エッチングのマスク材は、酸化シリコン以外の物質、例えばアルミニウム他でも良い。

【0040】以上は本発明を代表的な実施例をベースに説明したが、本発明はこれら実施例に限定されるものではなく、本発明の思想を逸脱しない範囲で種々の変形が可能である。

【0041】図17は、本発明半導体装置を適用したIGBT及びダイオードを用いて電動機駆動用インバータ装置を構成した一例を示したものである。六個のIGBT、SW11、SW12、SW21、SW22、SW31、SW33により、三相誘導電動機を制御する例である。IGBTは、スイッチング速度の大きい素子であり、これに本発明を適用することにより逆阻止電圧が高くされたIGBT及びダイオードは長期に渡り使用しても耐圧の低下がないので、インバータ装置の小型、軽量、低損失化及び低雑音化等に効果があり、インバータ装置を用いたシステムの低コスト、高効率化が達成できる。

【0042】

【発明の効果】本発明によれば、逆阻止電圧の低下が無

く素子を使用できる期間を大幅に長くできる。或いは、事実上逆阻止電圧の低下の問題を根絶できるとも言える。また、素子の非常に過酷な環境での使用、低コストでの実装にも道を開く。このような超高信頼化が、高い初期耐圧を容易に達成しつつ実現できる。製造方法も容易である。

【図面の簡単な説明】

【図1】本発明半導体装置の一実施例を示す概略平面図及び断面図である。

【図2】本発明半導体装置の他の実施例を示す概略断面図である。

【図3】図1の半導体装置の変形例を示す概略断面図である。

【図4】本発明半導体装置の更に他の実施例を示す概略断面図である。

【図5】図1の半導体装置の製造方法を示す概略工程図である。

【図6】本発明半導体装置の更に他の実施例を示す概略断面図である。

【図7】図6の半導体装置の変形例を示す概略断面図である。

【図8】図6の半導体装置の別の変形例を示す概略断面図である。

【図9】図7の変形例の更に別の変形例を示す概略断面図である。

【図10】図6の半導体装置の製造方法を示す概略工程図である。

【図11】本発明半導体装置の別の実施例を示す概略断面図である。

【図12】図11の半導体装置の別の変形例を示す概略断面図である。

【図13】図11の半導体装置の他の変形例を示す概略断面図である。

【図14】図11の半導体装置の更に他の変形例を示す概略断面図である。

【図15】図11の半導体装置の異なる変形例を示す概略断面図である。

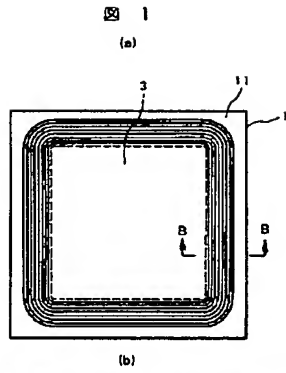
【図16】図15の半導体装置の製造方法を示す概略工程図である。

【図17】本発明半導体装置を使った電動機駆動用インバータ装置の回路図である。

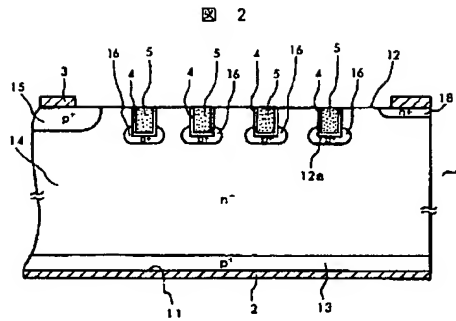
【符号の説明】

1…半導体基体、11、12…主表面、12a…環状溝、16…p型層（電界制限リング）、17…n型層。

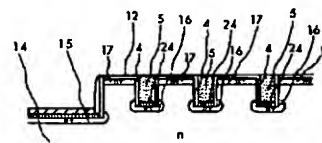
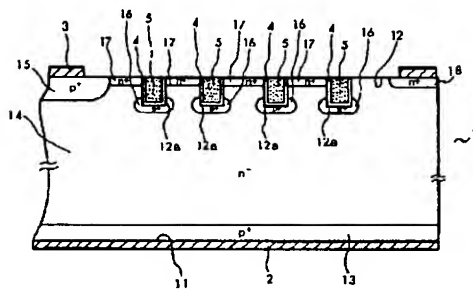
【図1】



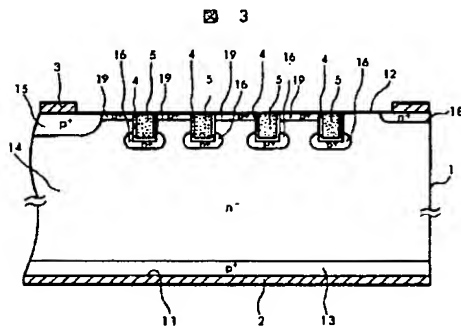
【図2】



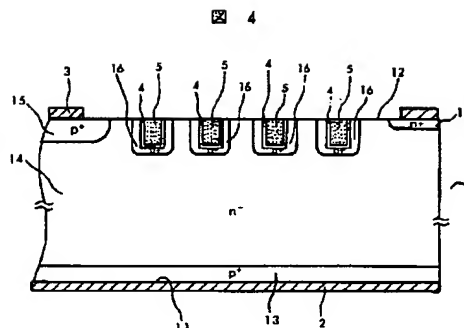
【図12】



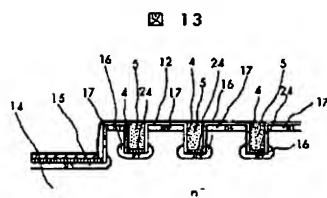
【図3】



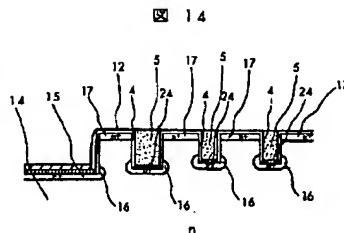
【図4】



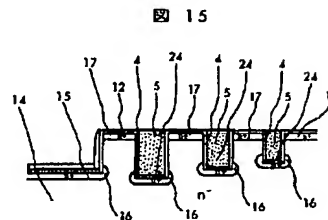
【図13】



【図14】



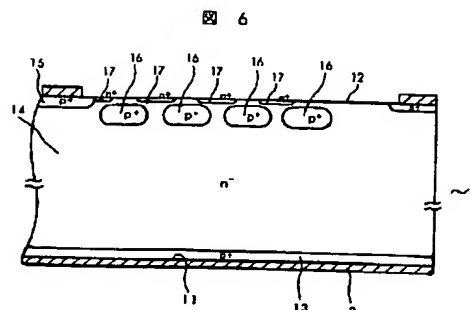
【図15】



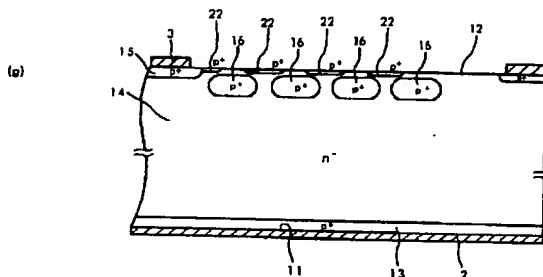


特開平7-142713

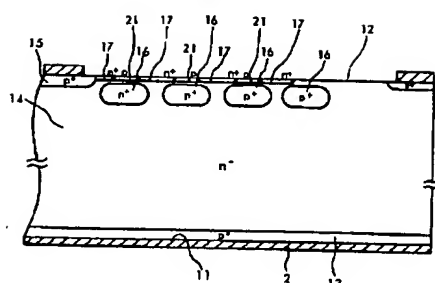
【図 6】



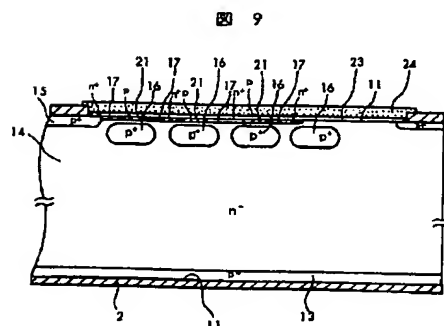
8



**7**

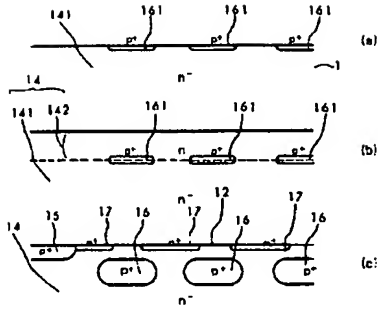


【图 9】



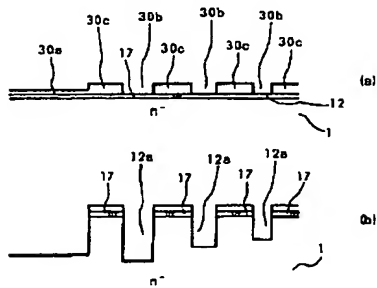
【図10】

図 10



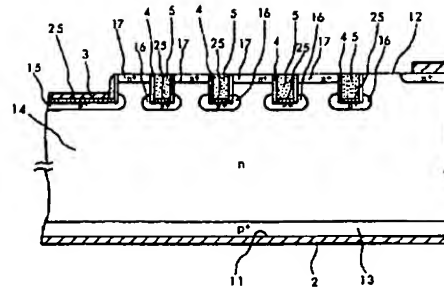
【図16】

図 16



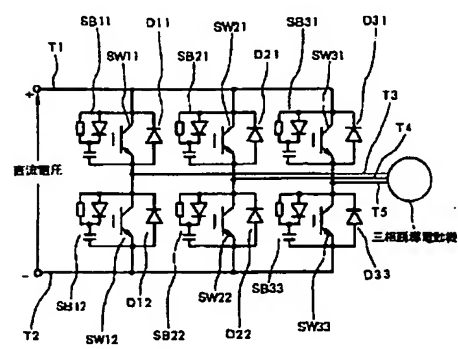
【図11】

図 11



【図17】

図 17



フロントページの続き

(72)発明者 八尾 勉

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内